LES BASCULES

Une bascule est un **circuit de mémorisation** de un bit le plus répandu. On en trouve dans la SRAM (mémoire vive statique). Elle possède des entrées qui déterminent le changement d'état de la sortie (basculement).

En électronique, elle se présente sous la forme d'un **circuit integré**. Sur la figure suivante, c'est le CI *SN74LS74AN* entre la DEL verte et la DEL rouge. La sortie de la bascule commande la base du transistor (à droite de la DEL rouge) qui alimente le relais (en blanc).

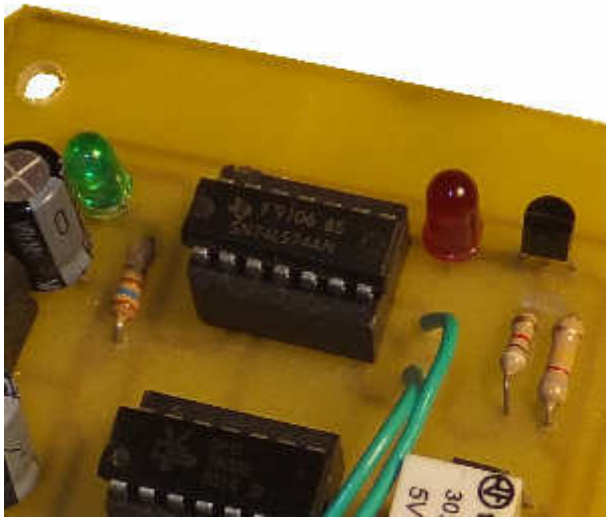


Figure 1

SOMMAIRE

Les types de bascules *Page 4*
- *Bascule RS Page 4*
- *Bascule RST ou RSH Page 6*
- *Bascule D synchrone Page 7*
- *Bascule D Latch Page 9*
- *Bascule D maître esclave Page 10*
- *Bascule JK élementaire Page 11*

Symboles *Page 12*

Référence des bascules *Page 13*

Datasheet d'une bascule 74LS74 *Annexe*

Une bascule dite **asynchrone** est une bascule qui n'a pas besoin d'être cadencée par une horloge. La sortie dépend que du niveau des entrées. Elle peut changer d'état à tout moment quand une entrée change.

Une bascule dite **synchrone** est cadencée par une horloge (par un front montant, descendant ou les deux). Seul un évenement sur l'entrée horloge peut faire changer la sortie. Cette entrée se nomme **H** ou **CLK**. Voici d'autres entrées de bascules décrites dans ce document :

L'entrée S est l'entrée **SET**
L'entrée R est l'entrée **RESET**.
L'entrée J est l'entrée **JACK** (valet)
L'entrée K est l'entrée **KING** (roi)
L'horloge est H ou CLK (**CLOCK**).
La sortie se nomme **Q**.
Q *barre* est tout simplement le complément de Q.
Qn-1 signifie que la sortie maintien sa valeur, elle reste inchangée.

Les types de bascules

Bascules RS

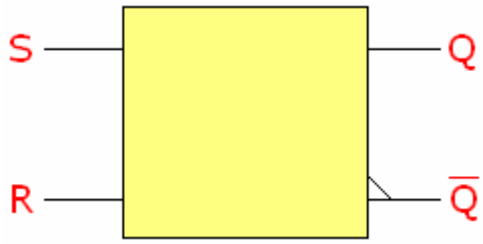


Figure 2

C'est une **bascule asynchrone**. On peut l'utiliser dans un circuit électronique pour éviter les rebonds d'un interupteur. Ci-dessous, la table de vérité :

S	R	Q	Q *barre*	Remarque
0	0	Qn-1	Q *barre*	Etat mémoire
0	1	0	1	Mise à 0
1	0	1	0	Mise à 1
1	1	0	0	Etat interdit

- La sortie Q passe à 1 dès que S passe à 1.
- La sortie Q passe à 0 dès que R passe à 1.
- Quand R=S=0, la sortie maintien sa valeur, c'est l'état mémoire.
- Quand R=S=1, la sortie prend une valeur incertaine, c'est l'état indeterminé.

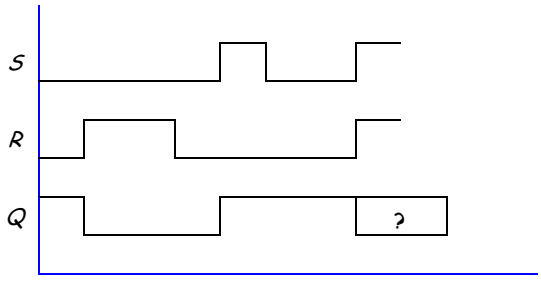


Figure 3, oscillogramme

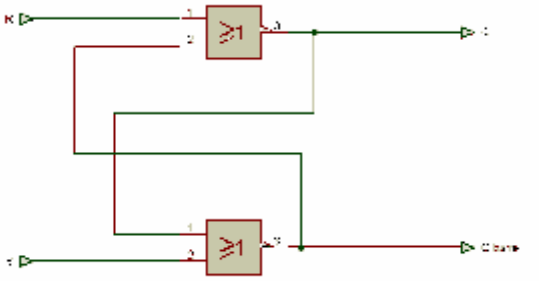


Figure 4, bascule RS constituée de NON-OU (4011)

Moyen mémotechnique de se rappeler le fonctionnement d'une bascule RS :

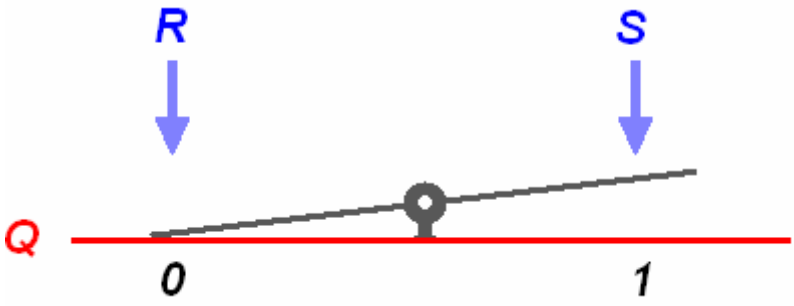


Figure 5

Bascule RST ou RSH

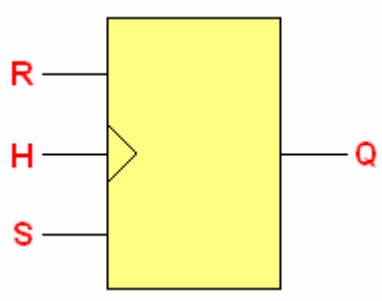


Figure 6

Même principe que précédement mais elle est **synchrone** car elle possède une entrée horloge.

- Si H=1, les entrées R et S sont prise en compte.
- Si H=0, la bascule reste bloquée dans le même état.

Dans l'oscillogramme ci-dessous, la bascule est synchrone sur un front montant de l'horloge.

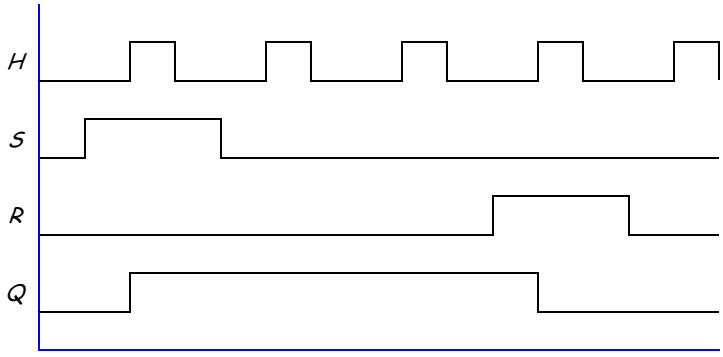


Figure 7, oscillogramme

On voit bien sur l'oscillogramme que Q ne passe pas à 1 au moment où S y passe. Il faut attendre le prochain front montant de l'horloge pour prendre en considération les entrées.

La bascule D synchrone

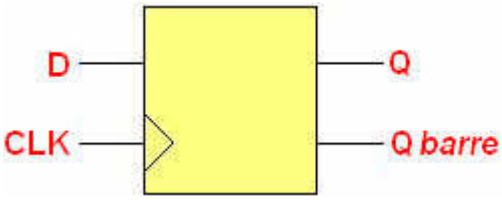


Figure 8

La sortie recopie simplement l'entrée D (D comme DONNEE) seulement aux fronts montants de l'horloge. Sinon, elle reste à l'état précédent quelque soit la valeur de D. Le triangle au niveau de l'entrée CLK signifie que l'horloge est active sur un front montant. Ci-dessous, la TdV :

CLK	D	Q	Q barre	Remarques
0	X	Qn-1	Qn-1 barre	Etat précédent
1	X	Qn-1	Qn-1 barre	Etat précédent
Front descendant	X	Qn-1	Qn-1 barre	Etat précédent
Front montant	0	0	1	Mis à 0
Front montant	1	1	0	Mis à 1

Dans le tableau, X signifie « quelque soit la valeur ».

- Si H=0, la sortie Q reste figée.
- Si D=0 et que H passe de 0 à 1, Q=0.
- Si D=1 et que H passe de 0 à 1, Q=1.

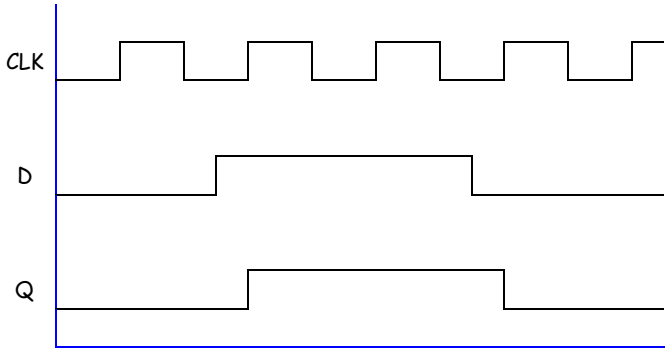


Figure 9, oscillogramme

A chaque front montant de l'horloge, l'entrée D est recopiée sur la sortie Q.

On peut construire une bascule D avec une bascule R-S-H et une fonction NON comme le montre la figure suivante :

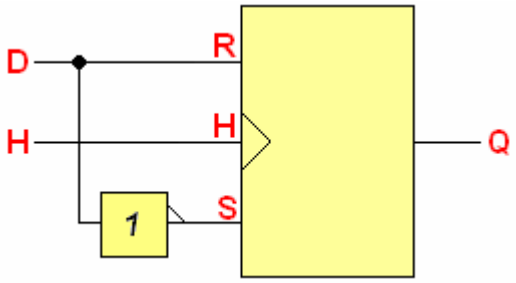


Figure 10

La bascule D LATCH

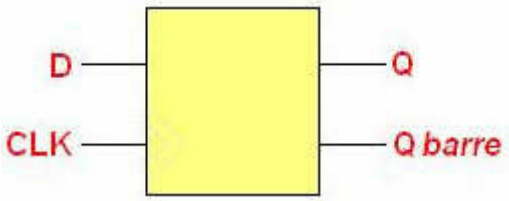


Figure 11

Elle s'appelle aussi la bascule à verrouillage. Elle fonctionne sur l'état de l'horloge et non sur une transition.

CLK	D	Q	Q barre	Remarques
0	X	Qn-1	Qn-1 *barre*	Etat précédent
1	0	0	1	Mis à 0
1	1	1	0	Mis à 1

Comme la bascule D élémentaire, la sortie Q recopie l'entrée D tant que CLK vaut 1. Si CLK vaut 0, la bascule est **verrouillée**.

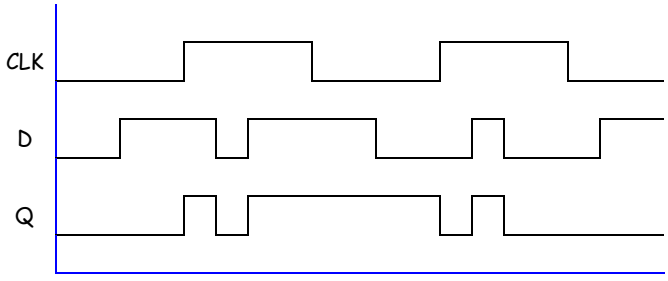


Figure 12

La bascule D maître esclave

Dans un système électronique, il est souvent nécessaire que les bascules soient initialisées : La sortie Q doit être fixée à 1 ou à 0 au démarrage du circuit intégré . On peut trouver une bascule D avec des entrées **CLEAR** et **PRESET** : Ce sont des entrées prioritaires qui imposent un niveau logique en sortie quelque soit le niveau de D. Sur la figure suivante, le schéma suivi de la TdV. On peut d'ailleurs trouver des entrées PRE et CLR sur d'autres types de bascules.

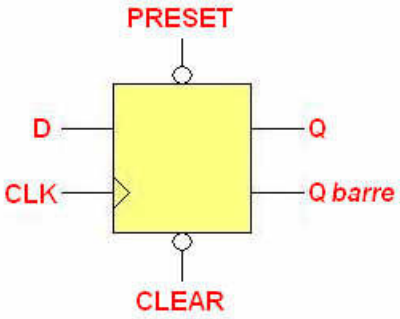


Figure 13

D	CLK	CLEAR	PRESET	Q	Q barre	Remarques
X	X	0	1	0	0	Mis à 0 forcé
X	X	1	0	1	1	Mis à 1 forcé
X	X	0	0	1	0	
0	Front montant	1	1	0	1	Mis à 0
1	Front montant	1	1	1	0	Mis à 1
X	0	1	1	Qn-1	Qn-1 *barre*	Etat précédent
X	1	1	1	Qn-1	Qn-1 *barre*	Etat précédent

Les lignes en bleues montrent que ce sont les entrées CLEAR et PRESET qui prennent le dessus sur la sortie. Elles sont actives à l'état bas. Pour ne pas qu'elles « prennent effet » sur la sortie, ils faut qu'elles soient à 1.

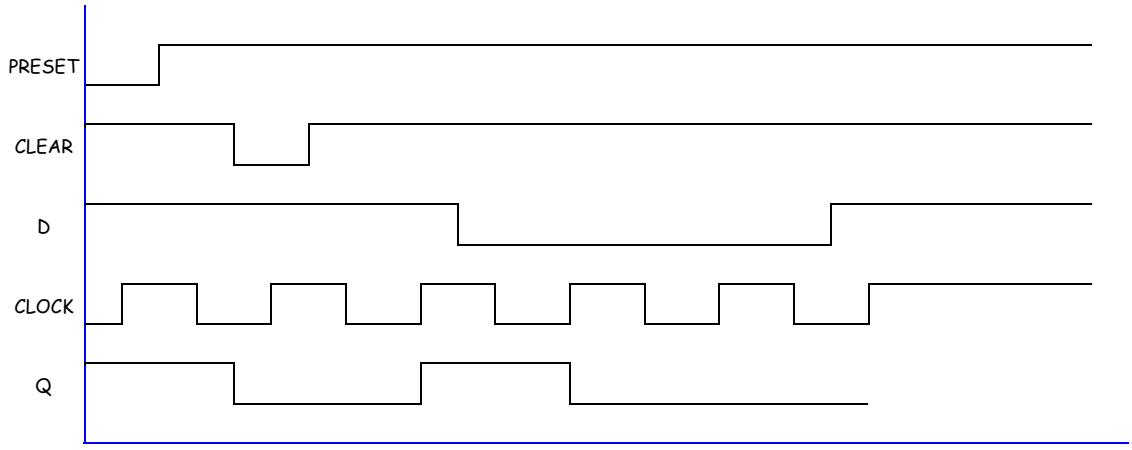


Figure 14

La bascule JK élémentaire

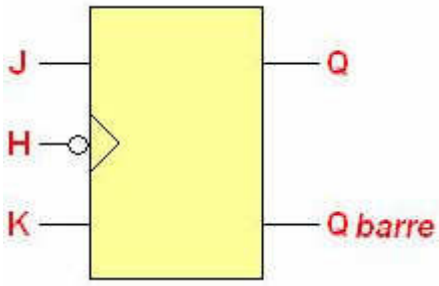


Figure 15

H	J	K	Q	Remarques
Front montant	0	0	Qn-1	Etat précédent
Front montant	0	1	0	Mis à 0
Front montant	1	0	1	Mis à 1
Front montant	1	1	Qn-1 barre	Complément de la sortie
X	X	X	0	

Ce type de bascule à le même rôle qu'une bascule RSH mais quand J=K=1 nous n'avons pas un état ambiguë mais un changement de la sortie Q. Le déclenchement peut de faire sur front actif, montant ou descendant. Dans cet exemple, la bascule fonctionne sur un front descendant de l'horloge.

- Quand J=K=0, la sortie se maintien.
- Quand J=1 et K=0, la sortie vaut 1.
- Quand J=0 et K=1, la sortie vaut 0.
- Quand J=K=1, la sortie change d'état (que ce soit de 0 vers 1 ou de 1 vers 0).

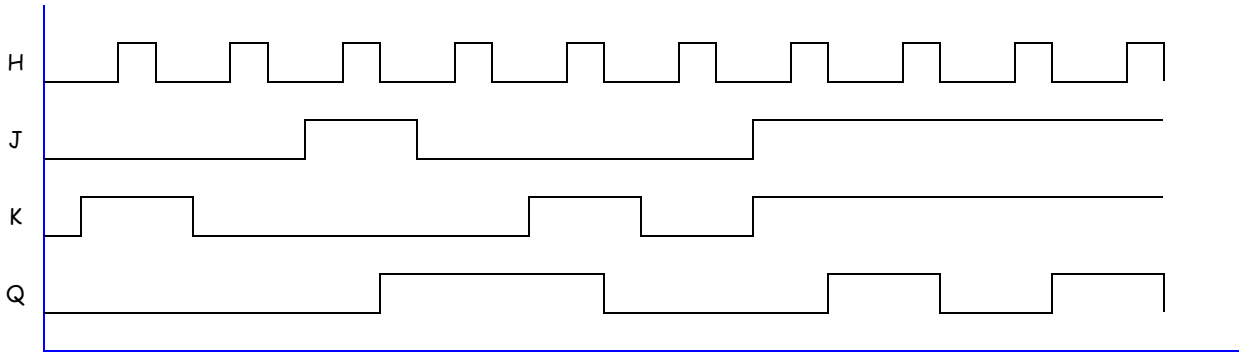
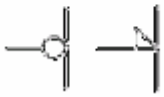
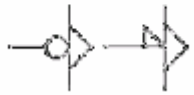
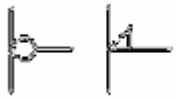


Figure 16

Remarque : Quand J=K=1, les impulsions de l'horloge sont divisées par 2.

Symboles

	Entrée active à l'état haut
	Entrée active à l'état bas
	Horloge active sur un front montant
	Horloge active sur un front descendant

	Sortie
	Sortie complémentée

Référence de bascules

Bascule RS : 74279 – 4044 *(Quatre bascules RS, entrées complementées)*
Bascule D : 7474 – 4013 *(Deux bascules D avec entrées CLR et PR)*
Bascule JK : 74110 – 4027 *(Deux bascules JK avec entrées CLR et PR, negative edge triggered)*
Bascule RST : *Réalisées avec des portes logiques*

TTL

7473 Deux bascules JK avec entrée CLR
7475 Quatre bascules D
7478 Deux bascules JK avec entrées PR , entrées CLR et horloge communes, horloge front descendant
74107 Deux bascules JK avec entrée CLR, negative edge triggered
74109 Deux bascules JK avec CLR et PR, positive edge triggered
74112 Deux bascules JK avec CLR et PR, negative edge triggered
74273 Huit bascules D avec CLR.

CMOS

CD4013 Deux bascules D avec entrées RESET et SET
CD4027 Deux bascules JK positive edge triggered

Sur les pages suivantes, les éléments principaux utiles décrits dans une datasheet d'un **74LS74**.

National Semiconductor

June 1989

54LS74/DM54LS74A/DM74LS74A
Dual Positive-Edge-Triggered D Flip-Flops with Preset, Clear and Complementary Outputs

General Description

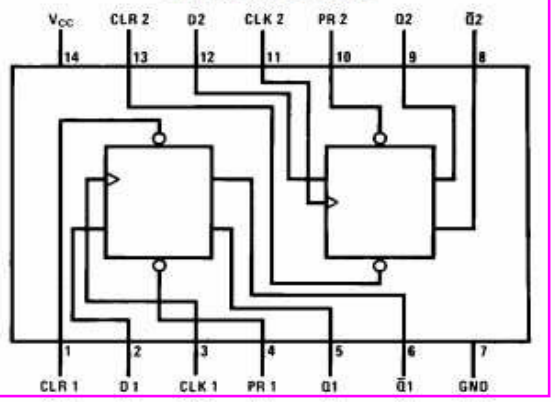
This device contains two independent positive-edge-triggered D flip-flops with complementary outputs. The information on the D input is accepted by the flip-flops on the positive going edge of the clock pulse. The triggering occurs at a voltage level and is not directly related to the transition time of the rising edge of the clock. The data on the D input may be changed while the clock is low or high without affecting the outputs as long as the data setup and hold times are not violated. A low logic level on the preset or clear inputs will set or reset the outputs regardless of the logic levels of the other inputs.

Features

- Alternate military/aerospace device (54LS74) is available. Contact a National Semiconductor Sales Office/ Distributor for specifications.

Connection Diagram

Dual-In-Line Package



TL/F/6373–1

Order Number 54LS74DMQB, 54LS74FMQB, 54LS74LMQB, DM54LS74AJ, DM54LS74AW, DM74LS74AM or DM74LS74AN
See NS Package Number E20A, J14A, M14A, N14A or W14B

Brochage du circuit

Rappel théorique : Table de vérité

Function Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\overline{Q}_0$

H = High Logic Level

X = Either Low or High Logic Level

L = Low Logic Level

↑ = Positive-going Transition

* = This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (high) level.

Q_0 = The output logic level of Q before the indicated input conditions were established.

Tension d'alimentation et tension d'entrée maximum sans endommager le circuit integré.

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Température de fonctionnement

Tension d'alimentation : Plage de tension de bon fonctionnement du circuit. Prendre en considération la tension **Nom** (nominale). Attention à la référence exacte !

Recommended Operating Conditions

Symbol	Parameter		DM54LS74A Min	DM54LS74A Nom	DM54LS74A Max	DM74LS74A Min	DM74LS74A Nom	DM74LS74A Max	Units
V_{CC}	Supply Voltage		4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage		2			2			V
V_{IL}	Low Level Input Voltage				0.7			0.8	V
I_{OH}	High Level Output Current				−0.4			−0.4	mA
I_{OL}	Low Level Output Current				4			8	mA
f_{CLK}	Clock Frequency (Note 2)		0		25	0		25	MHz
f_{CLK}	Clock Frequency (Note 3)		0		20	0		20	MHz
t_W	Pulse Width (Note 2)	Clock High	18			18			ns
		Preset Low	15			15			
		Clear Low	15			15			
t_W	Pulse Width (Note 3)	Clock High	25			25			ns
		Preset Low	20			20			
		Clear Low	20			20			
t_{SU}	Setup Time (Notes 1 and 2)		20 ↑			20 ↑			ns
t_{SU}	Setup Time (Notes 1 and 3)		25 ↑			25 ↑			ns
t_H	Hold Time (Note 1 and 4)		0 ↑			0 ↑			ns
T_A	Free Air Operating Temperature		−55		125	0		70	°C

Note 1: The symbol (↑) indicates the rising edge of the clock pulse is used for reference.
Note 2: C_L = 15 pF, R_L = 2 kΩ, T_A = 25°C, and V_{CC} = 5V.
Note 3: C_L = 50 pF, R_L = 2 kΩ, T_A = 25°C, and V_{CC} = 5V.
Note 4: T_A = 25°C and V_{CC} = 5V.

Tensions d'entrée et courants de sortie (sortance) minimum et maximum.

Fréquence maximum de fonctionnement

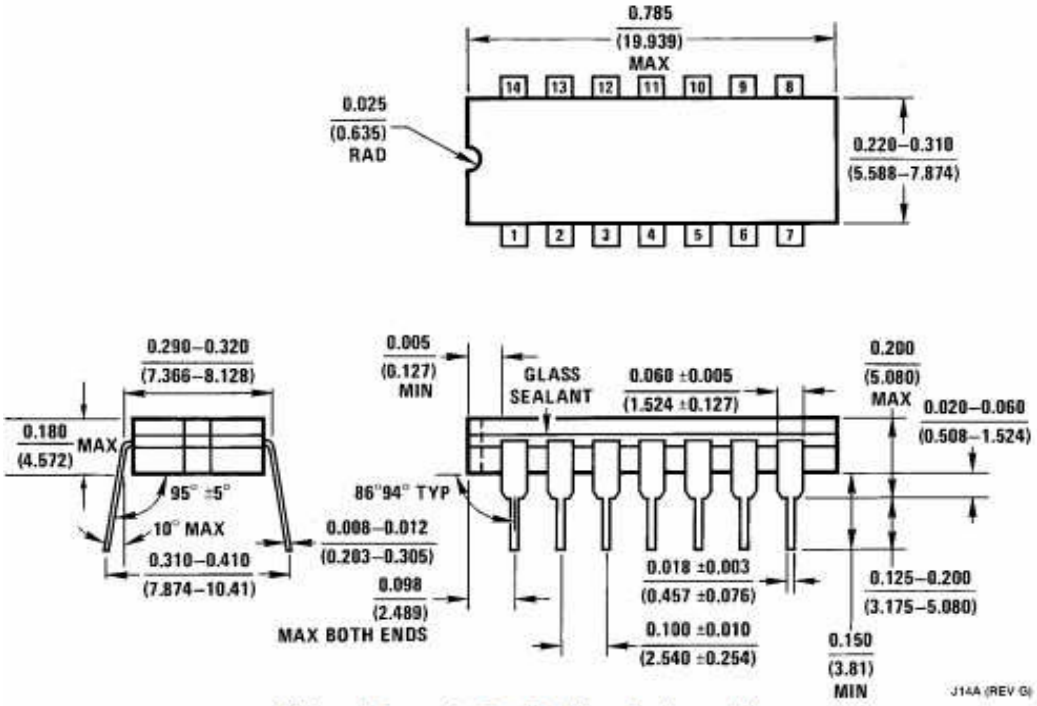
Tensions des niveaux haut et bas. Attention aux conditions.

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @Max Input Voltage	V_{CC} = Max, V_I = 7V	Data			0.1	mA
			Clock			0.1	
			Preset			0.2	
			Clear			0.2	
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V	Data			20	µA
			Clock			20	
			Clear			40	
			Preset			40	
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V	Data			−0.4	mA
			Clock			−0.4	
			Preset			−0.8	
			Clear			−0.8	
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	DM54	−20		−100	mA
			DM74	−20		−100	
I_{CC}	Supply Current	V_{CC} = Max (Note 3)			4	8	mA

Consommation du circuit integré

Dimensions d'un circuit integré **boîtier DIL** "classique".
Utile pour l'empreinte PCB.



14-Lead Ceramic Dual-In-Line Package (J)
Order Number 54LS74DMQB or DM54LS74AJ
NS Package Number J14A